

Doulos CE Trainingskalender Deutschland bis Juni 2010

	Tage	Januar	Februar	März	April	Mai	Juni
Hardware Design							
Comprehensive VHDL	5		01. – 05. (M / W)		12. – 16. (H)		07. – 11. (M / W)
Expert VHDL	5			15. – 19. (M)			21. – 25. (H)
Fast-track Verilog for VHDL Users	2						
Comprehensive Verilog	4			22. – 25. (M)		25. – 28. (M)	
SystemVerilog for Design Groups	3			01. – 03. (M)		17. – 19. (M)	
Altera Professional Designer™							
VHDL for FPGA Design (Altera)	3		01. – 03. (M / W)		12. – 14. (H)		07. – 09. (M / W)
Altera Designing with Quartus II	3			02. – 04. (M)			29. – 01. (M)
Altera NIOS II SoPC	3			22. – 24. (M)			
Advanced VHDL (Complex FPGA)	2		04. – 05. (M / W)		15. – 16. (H)		10. – 11. (M / W)
Xilinx Professional Designer™							
VHDL for FPGA Design (Xilinx)	3		01. – 03. (M / W)		12. – 14. (H)		07. – 09. (M / W)
Advanced VHDL (Complex FPGA)	2		04. – 05. (M / W)		15. – 16. (H)		10. – 11. (M / W)
System Design							
Comprehensive SystemC	5		15. – 19. (M)		19. – 23. (M)		
SystemC Modeling Using TLM-2	3			29. – 31. (M)			
ARM11 Software Design	4					04. – 07. (H)	
ARM1176 SoC Design	5			22. – 26. (H)			
ARM Cortex-A8 Software Design	4					04. – 07. (H)	
ARM Cortex-A9 Software Design	4				13. – 16. (H)		
ARM Cortex-R4 Software Design	4					04. – 07. (H)	
ARM Cortex-M3 Software Design	4		09. – 12. (H)				21. – 24. (H)
ARM Cortex-M3 SoC Design	5			16. – 18. (H)			28. – 30. (H)
Verification Methodology							
Expert VHDL Verification	3			17. – 19. (M)			23. – 25. (H)
Comprehensive SystemVerilog	5			01. – 05. (M)		17. – 21. (M)	
OVM Adopter Class	3			08. – 10. (M)	26. – 28. (M)		
Design Environment							
Essential Tcl/Tk	3				26. – 28. (H)		
Essential Perl	3			29. – 31. (M)			

NEU

NEU

NEU

NEU

NEU

(H)=Hannover, (M)=München, (W)=Wien, (E) Eindhoven

Änderungen vorbehalten. Alle aktuellen Termine und weitere Standorte gibt's im Internet unter www.doulos.com
 Kontakt: info.de@doulos.com – Tel.: +49 (0)511 277-1340

Doulos Trainingskalender Stand 03/11/09

